



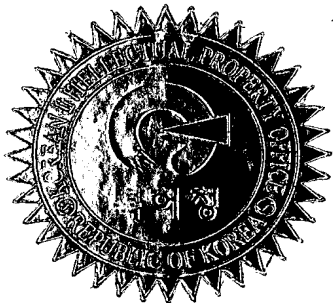
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010353
Application Number

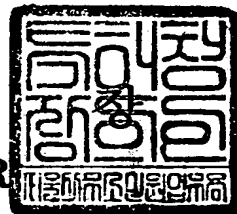
출원 년 월 일 : 2003년 02월 19일
Date of Application
FEB 19, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 03 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2003.02.19		
【국제특허분류】	H03M		
【발명의 명칭】	비동기방식의 부호분할다중접속 이동통신시스템에서 코드 생성장치 및 방법		
【발명의 영문명칭】	APPARATUS AND METHOD FOR GENERATING CODE IN A WCDMA MOBILE COMMUNICATION SYSTEM		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	이건주		
【대리인코드】	9-1998-000339-8		
【포괄위임등록번호】	2003-001449-1		
【발명자】			
【성명의 국문표기】	백대환		
【성명의 영문표기】	BACK, Dae-Whan		
【주민등록번호】	661011-1066916		
【우편번호】	156-845		
【주소】	서울특별시 동작구 상도3동 279-157 15통 1반		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이건주 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원



1020030010353

출력 일자: 2003/6/4

【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】	474,000	원		

【요약서】**【요약】**

본 발명은 복수개의 코드그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구되는 하다마드 코드를 지정하는 위치 정보를 결정하는 장치 및 방법을 제안하고 있다. 본 발명에서는 상기 임의 하나의 슬롯에 대응하여 상기 선택한 코드그룹이 가지는 코드 인덱스에 대해 1을 감산한 값을 이진 비트 열로 출력하며, 상기 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 결정하도록 한다.

【대표도】

도 3

【색인어】

비동기방식, 부호분할다중접속 이동통신시스템, 동기채널, 스크램블링 코드, 하다마드 코드

【명세서】**【발명의 명칭】**

비동기방식의 부호분할다중접속 이동통신시스템에서 코드 생성장치 및 방법
{APPARATUS AND METHOD FOR GENERATING CODE IN A WCDMA MOBILE COMMUNICATION SYSTEM}

【도면의 간단한 설명】

도 1은 통상적인 W-CDMA 시스템에서 셀 탐색에 이용되는 SCH와 CPICH의 프레임 구조를 도시하고 있는 도면.

도 2는 종래 제2동기코드를 생성하기 위해 요구되는 하다마드 시퀀스를 생성하는 장치의 구성을 보이고 있는 도면.

도 3은 본 발명의 실시 예에 따른 제2동기코드를 생성하기 위해 요구되는 하다마드 시퀀스를 생성하는 장치의 구성을 보이고 있는 도면.

도 4는 본 발명의 실시 예에 따라 제2동기코드를 생성하는 구성을 보이고 있는 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <5> 본 발명은 비동기방식의 부호분할다중접속 이동통신시스템에서의 코드 생성장치 및 방법에 관한 것으로, 특히 셀 탐색을 위한 동기채널의 코드를 생성하는 장치 및 방법에 관한 것이다.
- <6> 통상적으로 이동통신시스템은 동기방식과 비동기방식으로 크게 구분될 수 있으며, 이와 같이 구분되는 동기 방식과 비동기방식은 각각 미국과 유럽에서 제안하고 있는 방식이다. 오늘날은 이동통신 산업의 급성장에 따라 이동통신시스템은 통상적인 음성 서비스뿐만 아니라 데이터, 화상 등의 서비스가 가능한 차세대 이동통신시스템이 대두되고 있으며, 이에 대한 표준화 작업이 이루어지고 있다. 하지만, 앞에서 언급한 바와 같이 서로 다른 방식에 의해 이동통신시스템을 구현하고 있는 미국과 유럽은 서로 다른 형태의 표준화 작업이 이루어지고 있다. 그 중 유럽에서 이루어지고 있는 유럽형 차세대 이동통신시스템이 3GPP W-CDMA 이동통신시스템(3rd Generation Partnership Project Wideband Code Division Multiple Access communication system)이다. 상기 W-CDMA 이동통신시스템에 있어 각 기지국들간은 비동기 동작을 수행한다. 또한, 상기 기지국들을 구분하기 위해 서로 다른 스크램블링 코드(scrambling code)를 할당하는 방법을 이용한다. 예를 들어, 비동기형 기지국 시스템을 구성하는 셀들(Cells), 즉 기지국들이 512개 존재할 경우 상기 512개의 기지국들 각각은 512개의 스크램블링 코드들 중 서로 다른 어느 하나의 스크램블링 코드를 할당받아 사용하게 된다.

- <7> 한편, 상기와 같은 W-CDMA 이동통신시스템에서의 이동국은 자신이 서비스를 받을 기지국에 할당된 스크램블링 코드를 알고 있어야한다. 따라서, 상기 이동국은 주변의 기지국들로부터 수신되는 신호들 중 가장 강하게 들어오는 신호의 스크램블링 코드를 확인하는 동작을 수행하게 된다. 이를 통상적으로 셀 탐색과정(Cell search)이라 한다.
- <8> 전술한 바와 같이 스크램블링 코드들이 할당되는 W-CDMA 이동통신시스템의 이동국은 셀 탐색을 위해 상기 할당 가능한 모든 스크램블링 코드들의 위상에 대해서 검사하는 일반적인 셀 탐색 알고리즘을 사용하였다. 하지만, 이러한 일반적인 셀 탐색 알고리즘은 셀 탐색을 위해 상당한 시간이 소요되기 때문에 비효율적이다.
- <9> 따라서, 새로이 제안된 방법이 다단계 셀 탐색 알고리즘이다. 상기 다단계 셀 탐색 알고리즘을 구현하기 위해서는 우선 512개 스크램블링 코드들을 64개 코드 그룹들로 나누고, 상기 코드그룹들 각각에는 8개의 스크램블링 코드들을 할당한다. 그리고 셀 탐색을 용이하게 하기 위하여 동기 채널(Synchronization Channel, 이하 "SCH"라 칭함)과 공통파일럿채널(Common Pilot Channel, 이하 "CPICH"라 칭함)을 사용한다. 이때, 상기 SCH와 상기 CPICH는 순방향 링크를 통해 기지국으로부터 이동국으로 제공되는 신호이다. 상기 SCH는 제1동기채널(Primary Synchronization Channel, 이하 "P-SCH"라 칭함)과 제2동기채널(Secondary Synchronization Channel, 이하 "S-SCH"라 칭함)로 구분된다.
- <10> 상기 다단계 셀 탐색 알고리즘은, 기지국에서 전송하는 P-SCH를 가지고 최대전력으로 수신되는 슬롯의 슬롯타임을 동기하는 셀 탐색 1단계와, 상기 셀 탐색 1단계를 통해 타임 슬롯이 동기된 상태에서 상기 기지국에서 전송하는 S-SCH를 통해 프레임 동기(Frame Synchronization) 및 자신이 속한 기지국의 기지국 그룹 지정코드를 검출하는 셀 탐색 2단계와, 상기 셀 탐색 2단계에서 탐색된 프레임 동기 및 기지국 그룹 지정코드를

근거로 하여 상기 기지국에서 전송하는 CPICH를 가지고 기지국의 스크램블링 코드를 검출하여 이동국 자신이 속한 기지국을 최종적으로 탐색하는 셀 탐색 3단계로 이루어진다.

<11> 도 1은 통상적인 W-CDMA 시스템에서 셀 탐색에 이용되는 SCH와 CPICH의 프레임 구조를 도시하고 있다.

<12> 상기 도 1을 참조하면, 한 프레임은 15개의 슬롯들(slots)로 구성되어 있다. 이때 P-SCH와 S-SCH는 매 슬롯들의 시작 부분에서 $N(=256)$ 칩 길이만큼씩 전송되며, 상기 두 채널들간에는 직교성이 유지됨에 따라 서로 중첩되어 전송된다. CPICH에는 기지국마다 서로 다른 스크램블링 코드들이 사용되며, 상기 스크램블링 코드의 주기는 한 프레임의 길이와 같다. 상기와 같은 채널 구조를 갖는 W-CDMA 이동통신시스템에서는 서로 다른 스크램블링 코드로써 $2^{18}-1$ 주기의 골드 코드 열로부터 한 프레임 길이 만큼만을 사용하며, 전체 가능한 골드 코드들 중 $M(=512)$ 개만을 사용한다.

<13> 상기 P-SCH에 사용되는 제1동기코드 c_p 는 모든 셀들이 동일하게 사용하며, 1슬롯의 1/10인 256칩 구간에서 매 슬롯마다 반복해서 보낸다. 상기 P-SCH는 이동국이 수신신호의 슬롯 타이밍을 찾는 데 이용한다. 즉, 이동국은 상기 P-SCH를 수신하여 제1동기코드인 C_p 에 의해 기지국 타임 슬롯(Slot Time)을 동기 시킨다.(셀 탐색 1단계)

<14> 상기 S-SCH에는 기지국의 제2동기코드, 즉 기지국 그룹 지정 코드($C_{S^i,1} \sim C_{S^i,15}$)가 매핑되어 전송되고, 상기 P-SCH에 의해 타임 슬롯 동기된 이동국은 상기 S-SCH를 통해 기지국 그룹 지정코드와 프레임동기를 검출한다. 여기서, 상기 기지국 그룹 지정코드는 기지국이 속하는 셀 그룹을 결정하는 정보로서 콤마 프리 코드(COMMA FREE CODE)를 사용한다. 상기 콤마 프리 코드는 64개 코드워드들로 구성되어 있고, 하나의 코드워드는 15

개의 심볼들로 구성된다. 상기 15개의 심볼들은 매 프레임마다 반복해서 전송된다.

이때, 상기 15개의 심볼들의 값은 바로 전송되는 것이 아니라, 상기 제2동기코드 $C_S^{i,1}$, ..., $C_S^{i,15}$ 중 하나의 제2동기코드에 매핑되어 전송된다. 상기 매핑되는 제2동기코드는 상기 도 1에 도시된 바와 같이 슬롯마다 심볼 값 i 에 해당되는 i 번째 제2동기코드가 사용된다. 상기 제2동기코드를 일반화하면 " $C_S^{i,n}$ "으로 표현될 수 있다. 여기서, i 는 스크램블링 코드 그룹을 지정하는 인덱스이며, n 은 하나의 프레임을 구성하는 15개의 슬롯들 중 임의의 슬롯을 지정하는 인덱스이다.

<15> 상기 콤마 프리 코드의 64개의 코드워드들은 64개 코드그룹들을 구분한다. 상기 콤마 프리 코드의 특징은 각 코드워드들의 사이클릭 시프트가 유일하다는 점이다. 그러므로 여러 슬롯 구간들 동안의 S-SCH에 대하여 제2동기코드들을 상관시키고, 이를 64개의 코드워드들과 각각에 대한 15 사이클릭 시프트에 대하여 검사함으로써 코드그룹과 프레임 동기에 대한 정보를 얻을 수 있게 된다. 여기서 상기 프레임 동기라 함은 확산대역시스템의 스크램블링 확산코드의 한 주기내의 타이밍 또는 위상에 대한 동기를 뜻한다. 현재 W-CDMA 시스템에서는 확산코드의 한 주기와 프레임의 길이가 10ms이므로, 이를 프레임동기라 칭하기로 한다.(셀 탐색 2단계)

<16> 전술한 셀 탐색 1단계와 셀 탐색 2단계의 수행에 의해 상기 이동국은 상기 P-SCH와 S-SCH를 통해 슬롯 동기와 기지국 그룹 지정코드 및 프레임 동기에 대한 정보를 획득할 수 있다. 하지만, 상기 이동국은 아직 획득한 기지국 그룹 지정코드에 따른 코드그룹내의 8개의 스크램블링 코드들 중에서 어느 것이 자신이 속하는 기지국의 스크램블링 코드 인지를 알지 못하므로 부호동기는 완전히 이루어지지 않은 상태이다.

- <17> 따라서, 상기 이동국은 CPICH을 통해 수신한 파일럿 신호를 상기 코드그룹 내에 속한 8개의 스크램블링 코드들과 상관을 취함으로써 상기 8개의 스크램블링 코드들 중에 어느 것이 자신이 사용할 스크램블링 코드인지를 식별할 수 있다.(셀 탐색 3단계)
- <18> 앞에서도 밝힌 바와 같이 상기 셀 탐색 2단계를 위해서는 기지국 송신기에 의해 15개의 제2동기코드들 $C_S^{i,n}$ 이 S-SCH의 슬롯들에 매핑되어 전송되어야 한다. 따라서, 상기 기지국에서는 상기 제2동기코드들 $C_S^{i,n}$ 의 생성장치 및 방법이 제안되어야 할 것이다.
- <19> 상기 제2동기코드들 $C_S^{i,n}$ 은 하기 <수학식 1>에 의해 생성될 수 있다.
- <20> 【수학식 1】 $C_S^{i,n} = (1+j) \times [H_m(0) \times \angle(0), H_m(1) \times \angle(1), H_m(2) \times \angle(2), \dots, H_m(255) \times \angle(255)]$
- <21> $m = 16 \times (k-1)$
- <22> 여기서, k는 i번째 스크램블링 코드 그룹(Group i)의 n번째 슬롯에 대응하는 코드 인덱스를 의미하며, m은 하다마드 시퀀스의 위치를 결정하는 값이다.
- <23> 상기 <수학식 1>에서 보이고 있는 바와 같이 상기 제2동기코드들 $C_S^{i,n}$ 을 생성하기 위해서는 하다마드 시퀀스 H_m 이 결정되어야 하며, 상기 하다마드 시퀀스 H_m 을 결정하기 위해서는 하다마드 시퀀스의 위치를 결정하는 m을 구하는 것이 선행되어야 한다. 상기 <수학식 1>에서는 상기 m을 결정하기 위해 파라미터로써 k를 정의하고 있다. 상기 i와 n에 의해 정하여지며, 상기 m을 결정하기 위한 k의 예는 하기 <표 1>에서 보이고 있다.
- <24>

【표 1】

Scramblin g Code Group	slot number														
	#0	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14
Group 0	1	1	2	8	9	10	15	8	10	16	2	7	15	7	16
Group 1	1	1	5	16	7	3	14	16	3	10	5	12	14	12	10
Group 2	1	2	1	15	5	5	12	16	6	11	2	16	11	15	12
Group 3	1	2	3	1	8	6	5	2	5	8	4	4	6	3	7
Group 4	1	2	16	6	6	11	15	5	12	1	15	12	16	11	2
Group 5	1	3	4	7	4	1	5	5	3	6	2	8	7	6	8
Group 6	1	4	11	3	4	10	9	2	11	2	10	12	12	9	3
Group 7	1	5	6	6	14	9	10	2	13	9	2	5	14	1	13
Group 8	1	6	10	10	4	11	7	13	16	11	13	6	4	1	16
Group 9	1	6	13	2	14	2	6	5	5	13	10	9	1	14	10
Group 10	1	7	8	5	7	2	4	3	8	3	2	6	6	4	5
Group 11	1	7	10	9	16	7	9	15	1	8	16	8	15	2	2
Group 12	1	8	12	9	9	4	13	16	5	1	13	5	12	4	8
Group 13	1	8	14	10	14	1	15	15	8	5	11	4	10	5	4
Group 14	1	9	2	15	15	16	10	7	8	1	10	8	2	16	9
Group 15	1	9	15	6	16	2	13	14	10	11	7	4	5	12	3
Group 16	1	10	9	11	15	7	6	4	16	5	2	12	13	3	14
Group 17	1	11	14	4	13	2	9	10	12	16	8	5	3	15	6
Group 18	1	12	12	13	14	7	2	8	14	2	1	13	11	8	11
Group 19	1	12	15	5	4	14	3	16	7	8	6	2	10	11	13
Group 20	1	15	4	3	7	6	10	13	12	5	14	16	8	2	11
Group 21	1	16	3	12	11	9	13	5	8	2	14	7	4	10	15
Group 22	2	2	5	10	16	11	3	10	11	8	5	13	3	13	8
Group 23	2	2	12	3	15	5	8	3	5	14	12	9	8	9	14
Group 24	2	3	6	16	12	16	3	13	13	6	7	9	2	12	7
Group 25	2	3	8	2	9	15	14	3	14	9	5	5	15	8	12
Group 26	2	4	7	9	5	4	9	11	2	14	5	14	11	16	16
Group 27	2	4	13	12	12	7	15	10	5	2	15	5	13	7	4
Group 28	2	5	9	9	3	12	8	14	15	12	14	5	3	2	15
Group 29	2	5	11	7	2	11	9	4	16	7	16	9	14	14	4
Group 30	2	5	2	13	3	3	12	9	7	16	6	9	16	13	12
Group 31	2	6	9	7	7	16	13	3	12	2	13	12	9	16	6
Group 32	2	7	12	15	2	12	4	10	13	15	13	4	5	5	10
Group 33	2	7	14	16	5	9	2	9	16	11	11	5	7	4	14
Group 34	2	8	5	12	5	2	14	14	8	15	3	9	12	15	9
Group 35	2	9	13	4	2	13	8	11	6	4	6	8	15	15	11
Group 36	2	10	3	2	13	16	8	10	8	13	11	11	16	3	5
Group 37	2	11	15	3	11	6	14	10	15	10	6	7	7	14	3
Group 38	2	16	4	5	16	14	7	11	4	11	14	9	9	7	5
Group 39	2	3	4	6	11	12	13	6	12	14	4	5	13	5	14
Group 40	2	3	6	5	16	9	15	5	9	10	6	4	15	4	10
Group 41	2	4	5	14	4	6	12	13	5	13	6	11	11	12	14
Group 42	2	4	9	16	10	4	16	15	3	5	10	5	15	6	6

<25> 따라서, 상기 m은 상기 <표 1>에서 보이고 있는 테이블을 통해 원하는 스크램블링 코드 그룹의 특정 슬롯에 대응하는 k를 독출하고, 상기 k에 의해 m을 결정하게 된다.

<26> 한편, 상기 <수학식 1>에 의해 상기 제2동기코드들 $C_S^{i,n}$ 은 상기 하다마드 시퀀스의 위치를 결정하는 값 m에 의한 하다마드 시퀀스 H_m 과 z 코드 배열에 의해 생성됨을 알

수 있다. 상기 제2동기코드들 $C_S^{i,n}$ 을 생성하기 위해 요구되는 하다마드 시퀀스 H_m 은 하기 <수학식 2>에서 보이고 있는 행렬을 통해 생성되며, 상기 z 코드 배열은 하기 <수학식 3>을 통해 생성된다.

$$<27> \quad H_0 = (1)$$

$$\text{【수학식 2】} \quad H_m = \begin{bmatrix} H_{m-1} & H_{m-1} \\ H_{m-1} & -H_{m-1} \end{bmatrix}, \quad m \geq 1$$

$$<28> \quad \text{【수학식 3】} \quad z = \langle b, b, b, -b, b, b, -b, -b, b, -b, b, -b, -b, -b, -b, -b \rangle$$

<29> 상기 <수학식 3>에서 보이고 있듯이 상기 z 코드 배열은 b 코드 배열로써 이루어진다. 상기 b 코드 배열은 하기 <수학식 4>로써 정의된다.

$$<30> \quad \text{【수학식 4】} \quad b = \langle x_1, x_2, x_3, x_4, x_5, x_6, x_7, x_8, -x_9, -x_{10}, -x_{11}, -x_{12}, -x_{13}, -x_{14}, -x_{15}, -x_{16} \rangle$$

<31> 상기 <수학식 4>에서 x 는 하기 <수학식 5>에서 보이고 있는 a 코드 배열과 동일한 값을 갖는다.

$$<32> \quad \text{【수학식 5】} \quad a = \langle x_1, x_2, x_3, \dots, x_{16} \rangle = \langle 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, -1, -1, 1 \rangle$$

<33> 상기 <수학식 5>로써 표현되고 있는 a 코드 배열은 P-SCH에서 사용되는 코드를 생성하는데도 사용된다.

<34> 예를 들어 i 가 0이고 n 이 3이라 가정하면, 상기 <표 1>에 의해 k 는 8로써 결정됨에 따라 m 은 $16 \times (8-1)$ 로써 112가 된다. 상기 112를 상기 <수학식 2>에서 보이고 있는 행렬에 대입함으로써 상기 112에 대응하는 하다마드 시퀀스를 생성한다. 상기 하다마드 시

퀀스가 생성되면 상기 생성한 하다마드 시퀀스와 z 코드 배열을 상기 <수학식 1>에 적용함으로써 첫 번째 스크램블링 코드그룹(Group 0)의 4번째 슬롯에서의 제2동기코드를 생성하게 된다.

<35> 도 2는 전술한 바와 같이 제2동기코드를 생성하기 위해 요구되는 하다마드 시퀀스를 생성하는 장치의 구성을 보이고 있는 도면이다.

<36> 상기 도 2를 참조하면, 디지털 신호 처리부(Digital Signal Processor, 도시하지 않음)는 사용할 스크램블링 코드 그룹(Group i)을 결정하면, 상기 결정한 스크램블링 코드 그룹(Group i)에 해당하는 매 슬롯 별 코드 인덱스 값들을 레지스터(210)에 기록한다. 상기 코드 인덱스 값들은 5 비트로써 표현될 수 있으며, 상기 <표 1>에서 예를 보이고 있다. 상기 <표 1>에서 보이고 있듯이 각 스크램블링 코드 그룹 별로 최대 값은 16임에 따라 이를 이진 부호로 표현하기 위해서는 5 비트가 요구된다. 상기 레지스터(210)는 상기 디지털 신호 처리부에 의해 기록된 매 슬롯 별 코드 인덱스 값들을 특정 시점에서 출력한다. 다중화기(MUX)(220)는 슬롯 위치를 결정하는 슬롯 카운트 값($SCH_Slot_Cnt[3:0]$)을 입력하고, 상기 슬롯 카운트 값($SCH_Slot_Cnt[3:0]$)에 의해 상기 레지스터(210)로부터 제공되는 15개의 코드 인덱스 값들 중 하나의 인덱스 값 k 를 선택하여 출력한다. 상기 슬롯 카운트 값($SCH_Slot_Cnt[3:0]$)은 제2동기코드의 생성을 원하는 슬롯 위치를 나타낸다. 상기 다중화기(220)로부터 출력되는 5 비트의 k 는 버퍼(230)를 통해 감산기(240)로 입력된다. 상기 감산기(240)는 상기 k 로부터 1을 감산하며, 상기 1이 감산된 $k-1$ 을 승산기(250)로 제공한다. 상기 승산기(250)는 상기 $k-1$ 에 16을 승산하고, 상기 승산이 이루어진 결과 값 m 을 버퍼(260)에 저장한다. 상기 m 을 저장하는 버퍼

(260)의 길이는 8이다. 이상 상기 감산기(240)와 상기 승산기(250)에 의한 동작은 m 을 구하기 위한 수학적식인 " $16 \times (k-1)$ "과 동일함을 알 수 있다.

<37> 상기 버퍼(260)에 저장된 m 은 코드 생성기(270)로 전달된다. 상기 코드 생성기(270)는 상기 m 을 입력하여 상기 원하는 슬롯을 통해 전송할 제2동기코드를 생성하기 위한 하다마드 시퀀스를 출력한다. 즉, 상기 코드 생성기(270)는 상기 m 을 상기 <수학적식 2>에 적용함으로써 하다마드 시퀀스를 생성한다. 이렇게 생성된 하다마드 시퀀스는 z 코드 배열과의 곱으로써 원하는 제2동기코드가 생성된다.

<38> 전술한 바와 같이 종래 제2동기코드를 생성하기 위해서는 매 슬롯들에 대응하는 코드 인덱스가 5비트로써 표현됨에 따라 이를 저장하기 위해서는 16개의 영역으로 이루어진 5비트의 레지스터가 요구된다. 또한, m 을 계산하기 위해 감산기와 승산기가 필수적으로 사용됨에 따라 제2동기코드를 생성하기 위한 구성이 복잡하다. 이는 기지국의 송신장치에서 동기채널이 증가함에 따라 하드웨어 크기가 증가하게되는 문제점을 가진다.

【발명이 이루고자 하는 기술적 과제】

<39> 따라서, 상기한 바와 같은 문제점을 해결하기 위한 본 발명의 목적은 하드웨어의 복잡도 및 크기를 줄이는 제2동기코드 생성장치를 제공함에 있다.

<40> 본 발명의 다른 목적은 제2동기채널의 코드 생성을 결정하는 슬롯마다의 서로 다른 인덱스를 하드웨어 구성이 용이하도록 변경한 제2동기코드 생성장치 및 방법을 제공함에 있다.

- <41> 본 발명의 또 다른 목적은 5 비트의 코드 인덱스 k 를 4 비트로 변환한 후 상기 4 비트의 코드 인덱스 k 에 "0000"을 결합한 비트 열을 상기 m 으로 결정하는 장치 및 방법을 제공함에 있다.
- <42> 상기한 바와 같은 목적을 달성하기 위한 제1견지에 있어, 본 발명은 복수개의 코드 그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구되는 하다마드 코드를 지정하는 위치 정보를 결정하는 방법에 있어서, 상기 임의 하나의 슬롯에 대응하여 상기 선택한 코드그룹이 가지는 코드 인덱스에 대해 1을 감소한 값을 이진 비트 열로 출력하는 과정과, 상기 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 결정하는 과정을 포함함을 특징으로 한다.
- <43> 상기한 바와 같은 목적을 달성하기 위한 제2견제 있어, 본 발명은 복수개의 코드그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구되는 하다마드 코드를 지정하는 위치 정보를 결정하는 장치에 있어서, 상기 선택한 코드그룹이 가지는 복수의 슬롯들 각각에 대응하는 고유의 인덱스들에 대해 1을 감소한 4비트의 이진 비트 열들을 임시 저장하는 레지스터와, 슬롯 카운트 값에 의해 상기 임시 저장된 이진 비트 열들

중 임의 하나의 이진 비트 열을 선택하여 출력하는 다중화기와, 상기 다중화기로부터의 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 출력하는 버퍼를 포함함을 특징으로 한다.

【발명의 구성 및 작용】

<44> 이하 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<45> 후술될 본 발명에서는 제2동기코드를 생성하기 위해 요구되는 하다마드 시퀀스를 생성하는 장치 및 방법과, 상기 하다마드 시퀀스를 입력으로 하여 제2동기코드를 생성하는 장치 및 방법을 제안할 것이다. 이때, 상기 하다마드 시퀀스를 생성함에 있어 하다마드 시퀀스의 위치를 결정하는 인덱스 값 m 이 요구되는데, 본 발명에서는 이를 생성하기 위한 장치 및 방법을 구체적으로 제안할 것이다. 즉, 본 발명에서는 기존 5 비트의 코드 인덱스 k 를 4 비트로 변환한 후 상기 4 비트의 코드 인덱스 k 에 "0000"을 결합한 비트 열을 상기 m 으로 결정하는 장치 및 방법을 제안할 것이다. 이때 상기 4 비트의 코드 인덱스 k 를 상위 비트라 칭하고, 이에 결합되는 "0000"을 하위 비트라 칭한다. 따라서, 상기 m 은 " $k_3, k_2, k_1, k_0, 0, 0, 0, 0$ "의 구조를 갖게 된다.

<46> 도 3은 본 발명의 실시 예에 따른 제2동기코드를 생성하기 위해 요구되는 하다마드 시퀀스를 생성하는 장치의 구성을 보이고 있는 도면이다.

<47> 상기 도 3을 참조하면, 디지털 신호 처리부(Digital Signal Processor, 도시하지 않음)는 사용할 스크램블링 코드 그룹(Group i)을 결정하고, 상기 결정한 스크램블링 코

드 그룹(Group i)에 해당하는 15개의 매 슬롯 별 코드 인덱스 값들을 레지스터(310)에 기록한다. 상기 코드 인덱스 값들은 상기 <표 1>에서 보이고 있는 코드 인덱스 값들 각각에 "1"을 감산한 값이다. 그 일 예로써 하기 <표 2>에서는 Group 0에 대한 4 비트의 코드 인덱스 값들을 보이고 있다.

<46> 【표 2】

Scrambling	slot number														
Code Group	#0	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14
Group 0 (변경 전)	1	1	2	8	9	10	15	8	10	16	2	7	15	7	16
Group 0 (변경 후)	0	0	1	7	8	9	14	7	9	15	1	6	14	6	15

<49> 상기 <표 2>에서 보이고 있듯이 변경 후 Group 0에 대한 코드 인덱스 값들 중 최대 값은 15임에 따라 각 스크램블링 코드 그룹 별 15개의 코드 인덱스 값들은 4 비트의 이진 부호로써 모두 표현이 가능하다. 따라서, 상기 레지스터(310)에서 각 슬롯 별 코드 인덱스 값들이 저장되는 영역의 크기는 4 비트를 갖게된다. 한편, 상기 5 비트의 코드 인덱스 값을 4 비트로 변환하는 것은 DSP가 5비트로 기록하지 않고 4 비트로 이루어진 코드 인덱스 값을 기록하도록 구현할 수 있다.

<50> 상기 레지스터(310)는 상기 디지털 신호 처리부에 의해 기록된 매 슬롯 별 코드 인덱스 값들을 특정 시점에서 동시에 출력한다. 다중화기(MUX)(320)는 15개의 슬롯들 중 하나의 슬롯을 지정하는 슬롯 카운트 값(SCH_Slot_Cnt[3:0])을 입력하고, 상기 슬롯 카운트 값(SCH_Slot_Cnt[3:0])에 의해 상기 레지스터(310)로부터 제공되는 15개의 코드 인덱스 값들 중 하나의 코드 인덱스 값 k를 선택하여 출력한다. 상기 다중화기(320)로부터의 코드 인덱스 값 k는 제1버퍼(330)에 기록된다. 상기 코드 인덱스 값 k는 4 비트로 이

루어짐에 따라 상기 제1버퍼(330)는 4 비트의 크기를 가진다. 제2버퍼(340)에는 추가 비트들 "0000"이 기록된다. 상기 제1버퍼(330)에 기록된 k 와 상기 제2버퍼(340)에 기록된 추가 비트들이 결합된 8 비트의 비트 열은 " $16 \times (k-1)$ "로써 표현되는 하다마드 시퀀스의 위치를 결정하는 인덱스 값 m 이 된다. 한편, 상기 제1버퍼(330)와 상기 제2버퍼(340)를 하나의 버퍼로 구성하고, 기록영역만을 구분함으로써 전술한 예와 동일하게 구현이 가능함은 자명할 것이다. 상기 하나의 버퍼로써 구현하는 경우 상기 k 를 기록하는 영역은 상위 비트 기록영역이 되며, 추가 비트들인 "0000"을 기록하는 영역은 하위 비트 기록영역이 된다.

<51> 논리 곱 연산부(350)는 상기 제1버퍼(330)로부터 4 비트의 k 와 상기 제2버퍼(340)로부터 "0000"의 추가 비트들을 입력한다. 상기 논리 곱 연산부(350)는 상기 k 와 상기 추가 비트들이 결합된 m 을 8 비트의 칩 카운트 값 SCHChipCnt[7:0]과 비트 단위로 논리 곱 연산하여 8비트로 이루어진 칩 단위의 코드 배열을 배타적 논리 합 연산부(360)로 출력한다. 상기 칩 카운트 값 SCHChipCnt[7:0]은 한 프레임을 구성하는 15개의 슬롯별로 전송되는 제2동기코드인 256칩을 카운트하는 카운터에 의해 제공되는 8비트의 값이다. 즉, 상기 슬롯 카운트 값 SCHSlotCnt[3:0]이 "1" 증가함에 대응하여 상기 칩 카운트 값 SCHChipCnt[7:0]은 0부터 255까지를 카운트하게 된다. 따라서 상기 논리 곱 연산부(350)는 상기 제1버퍼(330)와 상기 제2버퍼(340)로부터 제공되는 m 에 대해 상기 0부터 255까지의 이진 부호들 각각을 해당 비트별로 순차적으로 논리 곱 연산하여 출력한다. 이로 인해 상기 논리 곱 연산부(350)에서는 하나의 m 에 대해 최종적으로 256개의 코드 배열을 출력하게 된다. 상기 코드 배열은 8비트로 이루어진 비트 열이 된다. 상기 배타적 논리 합 연산부(360)는 상기 논리 곱 연산되어 출력되는 8비트들을 배타적 논리 합 연산하여

한 비트로 출력하며 상기와 같은 방법으로 256번 출력하여 하다마드 시퀀스로써 출력한다.

<52> 예를 들어 m 값이 '10111011', SCHChipCnt 값이 '11000101'이었으면 각 비트별로 논리곱(AND)연산을 취하면 8비트로써 '10000001'을 얻게 된다. 상기 8비트가 배타적 논리합(XOR)에 입력되면 8비트 모두에 대해 배타적 논리 합 연산을 취하며, 그 결과는 '0'이 된다. 이와 같은 동작을 256번을 반복하여 수행한다. 여기서 배타적 논리 합이라는 연산자의 의미는 입력 변수들 중에서 1의 개수가 홀수인 경우에 1이라는 결과를 만들어 내고, 짝수인 경우에는 0이라는 결과를 만들어 내는 논리 연산자를 의미한다. 따라서 상기 논리곱(AND)연산의 출력 '10000001'은 1의 개수가 짝수이므로 그 결과가 '0'이 되는 것이다.

<53> 도 4는 본 발명의 실시 예에 따라 제2동기코드를 생성하는 구성을 보이고 있는 도면이다.

<54> 상기 도 4를 참조하면, 8비트의 칩 카운트 값 SCHChipCnt[7:0] 중 하위 4비트 SCHChipCnt[3:0]은 제1다중화부(410)로 입력되며, 상위 4비트 SCHChipCnt[7:4]는 제2다중화부(420)로 입력된다. 상기 제1다중화부(410)는 b 코드 배열을 입력하고, 상기 하위 4비트 SCHChipCnt[3:0]에 의해 상기 b 코드 배열을 구성하는 15 비트들 중 하나의 비트를 선택하여 출력한다. 상기 b 코드 배열은 상기 <수학식 4>에서 정의하고 있는 바와 같이 a 코드 배열로써 표현될 수 있다. 한편, 상기 a 코드 배열은 상기 <수학식 5>에서 <1, 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, 1, -1, -1, 1>로써 정의되고 있다. 상기 a 코드 배열은 이진 부호로써 <0, 0, 0, 0, 0, 0, 0, 1, 1, 0, 1, 0, 1, 0, 1, 0, 1, 1, 0>과 같이 표현되며, 이를 상기 <수학식 4>에 적용함으로써 <0, 0, 0, 0, 0, 0, 0, 1, 1, 1, 0,

1, 0, 1, 0, 0, 1>의 b 코드 배열을 얻을 수 있다. 상기 제1다중화부(410)로는 앞에서 얻어진 b 코드 배열을 역순으로 배열하여 입력한다. 따라서, 상기 제1다중화부(410)로는 <1, 0, 0, 1, 0, 1, 0, 1, 1, 1, 0, 0, 0, 0, 0>의 b 코드 배열이 입력되며, 이는 <-X₁₆, -X₁₅, -X₁₄, -X₁₃, -X₁₂, -X₁₁, -X₁₀, -X₉, X₈, X₇, X₆, X₅, X₄, X₃, X₂, X₁>에 대응한다. 상기 제2다중화부(420)는 z 코드 배열을 입력하고, 상기 상위 4비트 SCHChipCnt[7:4]에 의해 상기 z 코드 배열을 구성하는 15 비트들 중 하나의 비트를 선택하여 출력한다. 따라서, 상기 제2다중화부(420)는 상기 제1다중화부(410)로부터 모든 비트들이 한번씩 선택될 시 다음 비트들 선택하게 된다. 이는 상기 <수학식 3>을 만족시키기 위한 구성이라 할 수 있다. 배타적 논리 합 연산부(430)는 칩 카운트 값 SCHChipCnt[7:0]에 의해 상기 제1다중화부(410)와 상기 제2다중화부(420)로부터 각각 출력되는 2 비트를 상기 도 3의 구성으로부터 칩 단위로 출력되는 8 비트의 비트 열과 비트 단위로 배타적 논리 합 연산하여 출력한다. 상기 칩 카운트 값 SCHChipCnt[7:0]에 의해 상기 배타적 논리 합 연산부(430)로부터 8비트 단위로 출력되는 비트 열은 원하는 슬롯에 대응한 256칩의 제2동기코드에 있어 한 칩에 해당한다. 한편, 상기 배타적 논리 합 연산부(430)로부터의 코드 배열은 플립플롭(440)에 의해 칩 단위로 출력되도록 하거나 256칩 단위로 출력되도록 한다.

<55> 도 5는 본 발명의 실시 예에 따라 제2동기코드를 생성하기 위한 제어 흐름을 보이고 있는 도면이다. 상기 도 5에서 510단계 내지 516단계는 상기 도 3에서 m을 생성하는 구성에 대응하며, 518단계는 상기 도 3에서 m에 의한 하다마드 시퀀스를 생성하는 구성에 대응한다. 상기 도 5의 520단계는 하다마드 시퀀스에 의해 원하는 제2동기코드를 생성하는 상기 도 4의 구성에 대응한다.

<56> 상기 도 5를 참조하면, 510단계에서 생성하고자 하는 제2동기코드를 지정하며, 상기 제2동기코드의 지정으로 인해 사용하고자 하는 스크램블링 코드 그룹과 상기 스크램블링 코드 그룹에 대응하는 15개의 슬롯들 중 하나의 슬롯이 결정된다. 상기 제2동기코드가 지정되면 512단계로 진행하여 상기 제2동기코드에 대응하여 스크램블링 코드 그룹의 슬롯들 중 하나의 슬롯에 대응하는 코드 인덱스(k)를 결정한다. 514단계에서는 상기 결정한 코드 인덱스 k에서 1을 감산하여 새로운 k를 정한다. 516단계에서 상기 k를 상위 비트로 하고, "0000"을 하위 비트로 하는 m을 결정한 후 518단계로 진행하여 상기 결정한 m에 대응한 하다마드 시퀀스를 생성한다. 520단계에서는 상기 생성한 하다마드 시퀀스에 의해 상기 스크램블링 코드 그룹의 해당 슬롯을 통해 전송할 제2동기코드를 생성한다.

<57> 이하 전술한 도면을 참조하여 본 발명의 실시 예에 따른 동작을 상세히 설명하면 다음과 같다.

<58> 먼저 상기 도 3을 참조하여 하다마드 시퀀스를 생성하는 동작을 살펴보면, 운영 DSP는 생성하고자 하는 스크램블링 코드 그룹을 결정한다. 상기 결정한 스크램블링 코드 그룹의 15개 슬롯들 각각에 대응하는 4 비트의 코드 인덱스 값들을 출력한다. 상기 4 비트의 코드 인덱스 값은 상기 <표 1>에서 보이고 있는 각 코드 인덱스 값들에서 1을 감산한 값이다. 상기 15개의 4 비트 코드 인덱스 값들 각각은 레지스터(310)의 15개 기록 영역들 중 대응하는 기록 영역에 기록된다. 상기 레지스터(310)에 기록된 15개의 코드 인덱스들은 동일한 시점에서 출력되며, 슬롯 카운트 값 SCH_Slot_Cnt[3:0]을 입력으로 하는 다중화부(320)에 의해 상기 15개의 코드 인덱스들 중 하나의 코드 인덱스가 선택되어 출력된다. 여기서, 상기 슬롯 카운트 값 SCH_Slot_Cnt[3:0]은 상기 결정된 스크램블

링 코드 그룹의 매 슬롯마다 동작하는 카운터(도시하지 않음)에 의한 카운트 값이다.

즉, 상기 다중화부(320)에 의해 사용할 스크램블링 코드 그룹의 15개 슬롯들 중 제2동기 코드의 생성을 원하는 슬롯에 대응하는 코드 인덱스가 선택된다. 상기 다중화부(320)로부터의 코드 인덱스는 4 비트로써 제1버퍼(330)에 k index[3:0]으로 기록된다. 이는 하 다마드 시퀀스를 생성하는데 필요한 m의 상위 비트로 사용되며, 상기 m의 하위 비트들로써 제2버퍼(340)에 기록되어 있는 4 비트가 사용된다. 상기 제2버퍼(340)에 기록되어 있는 4 비트는 "0000"이다. 상기 상위 비트와 상기 하위 비트가 결합된 8 비트의 m은 논리 곱 연산부(350)로 제공되어 칩 카운트 값 SCHChipCnt[7:0]과 비트 단위로 논리 곱 연산된다. 상기 논리 곱 연산부(350)로부터 출력되는 코드 배열들의 예는 하기 <표 3>에서 보여지고 있다.

<59> 【표 3】

m	SCHChipCnt[7:0]	AND
k ₃ , k ₂ , k ₁ , k ₀ , 0, 0, 0, 0	00000000	0,0,0,0,0,0,0,0
	00000001	0,0,0,0,0,0,0,0
	00000010	0,0,0,0,0,0,0,0
	00000011	0,0,0,0,0,0,0,0
	00000100	0,0,0,0,0,0,0,0

	01101111	0,k ₂ ,k ₁ ,0,0,0,0,0
	01110000	0,k ₂ ,k ₁ ,k ₀ ,0,0,0,0

	11111100	k ₃ ,k ₂ ,k ₁ ,k ₀ ,0,0,0,0
	11111101	k ₃ ,k ₂ ,k ₁ ,k ₀ ,0,0,0,0
	11111110	k ₃ ,k ₂ ,k ₁ ,k ₀ ,0,0,0,0
	11111111	k ₃ ,k ₂ ,k ₁ ,k ₀ ,0,0,0,0

<60> 상기 논리 곱 연산부(350)로부터 논리 곱 연산된 코드 배열들은 배타적 논리 합 연산부(360)에 의해 상기 코드 배열별 8 비트 전체에 배타적 논리 합 연산을 취하여 최종

하다마드 시퀀스로써 출력된다. 따라서, 상기 최종 하다마드 시퀀스로는 하나의 m 에 대하여 8비트로 이루어진 코드 배열 256개가 생성되며, 이는 256칩을 의미한다. 상기 256칩의 하다마드 시퀀스는 " $H_m(0), H_m(1), H_m(2), \dots, H_m(255)$ "로써 표현될 수 있다.

<61> 전술한 동작에 의해 m 을 구하는 일 예를 첫 번째 스크램블링 코드 그룹(Group #0)과 네 번째 슬롯(#3)을 가정하여 설명하면, 운영 DSP는 상기 <표 1>로부터 Group #0의 각 슬롯별로 기록되어 있는 15개의 코드 인덱스 값들 "1, 1, 2, 8, 9, 10, 15, 8, 10, 16, 2, 7, 15, 7, 16"을 독출한다. 그리고, 상기 독출한 코드 인덱스 값들 각각에 대해 1을 감산한 코드 인덱스 값들, 즉 "0, 0, 1, 7, 8, 9, 14, 7, 9, 15, 1, 6, 14, 6, 15"를 레지스터(310)의 해당 기록 영역별로 기록한다. 상기 변경 전 코드 인덱스 값들과 변경 후 코드 인덱스 값들은 상기 <표 2>에서 보이고 있다. 이때, 상기 레지스터(310)에 기록되는 값들은 이진 부호 값들로써 상기 1을 감산한 코드 인덱스 값들을 이진 부호로 변환한 값이다. 예컨대, 7은 "0111"로 변환되어 기록되며, 15는 "1111"로 변환되어 기록될 것이다. 상기 레지스터(310)에 이진 부호로 기록되어 있는 15개의 코드 인덱스 값들은 다중화부(320)로 입력된다. 한편, 상기 다중화부(320)로는 상기 네 번째 슬롯(#3)을 선택하는 슬롯 카운트 값인 "0011"이 입력된다. 따라서, 상기 다중화부(320)는 상기 15개의 코드 인덱스 값들 중 네 번째 슬롯에 대응하는 코드 인덱스 값 "0111"을 출력한다. 상기 출력된 코드 인덱스 값 "0111"은 제1버퍼(330)에 기록된다. 상기 제1버퍼(330)에 기록된 "0111"은 제2버퍼(340)에 기록된 "0000"과 결합된 "01110000"으로써 논리 곱 연산부(350)로 입력된다. 상기 논리 곱 연산부(350)로 입력되는 "01110000"은 하다마드 시퀀스의 위치를 결정하는 인덱스 값 m 이 된다. 전술한 예에 의해 구하여지는 m 은 종래 " $16 \times (k-1)$ "에 의해 계산되어 지는 m 과 동일한 값을 가진다. 즉, 전술한 예에

서 k 를 "8"로 가정하고 있음에 따라 종래 방법에 의하면 m 은 "112"가 된다. 이를 8비트의 이진 부호로써 표현하면 "0111000"이 되며, 이는 본 발명에서 제안하고 있는 방법에 의한 m 과 동일하다.

<62> 다음으로 도 4를 참조하면 제2동기코드를 생성하는 동작을 살펴보면, 16비트의 b 코드 배열은 제1다중화부(410)로 입력되며, 16비트의 z 코드 배열은 제2다중화부(420)로 입력된다. 상기 제1다중화부(410)는 상기 16 비트의 b 코드 배열로부터 8비트의 칩 카운트 값 SCHChipCnt[7:0] 중 하위 4비트 SCHChipCnt[3:0]에 의해 선택되는 한 비트(b_{out})를 출력한다. 상기 제2다중화부(420)는 상기 16 비트의 z 코드 배열로부터 상기 8비트의 칩 카운트 값 SCHChipCnt[7:0] 중 상위 4비트 SCHChipCnt[7:4]에 의해 선택되는 한 비트(z_{out})를 출력한다.

<63> 상기 제1다중화부(410)와 상기 제2다중화부(420)에서의 입/출력 관계는 하기 <표 4>에서 보이고 있는 바와 같다.

<64>

【표 4】

SCHChipCnt[7:0]		b 코드 배열	z 코드 배열	b _{out}	z _{out}
0000	0000	b ₁₆ , b ₁₅ , b ₁₄ , b ₁₃ , b ₁₂ , b ₁₁ , b ₁₀ , b ₉ , b ₈ , b ₇ , b ₆ , b ₅ , b ₄ , b ₃ , b ₂ , b ₁	z ₁₆ , z ₁₅ , z ₁₄ , z ₁₃ , z ₁₂ , z ₁₁ , z ₁₀ , z ₉ , z ₈ , z ₇ , z ₆ , z ₅ , z ₄ , z ₃ , z ₂ , z ₁	b ₁	z ₁
0000	0001			b ₂	z ₁
0000	0010			b ₃	z ₁
...
0000	1111			b ₁₆	z ₁
0001	0000			b ₁	z ₂
0001	0001			b ₂	z ₂
...
0001	1111			b ₁₆	z ₂
0010	0000			b ₁	z ₃
0010	0001			b ₂	z ₃
...
1111	1111			b ₁₆	z ₁₆

<65> 상기 <표 4>에서 보이고 있듯이 칩 카운트 값 SCHChipCnt[7:0]의 하위 4비트에 의해 b 코드 배열의 각 비트들이 순차적으로 선택되고, 상위 4비트에 의해 z 코드 배열의 각 비트들이 순차적으로 선택된다. 따라서 상기 제1다중화부(410)와 상기 제2다중화부(420)로부터 출력되는 비트 조합은 256가지가 된다. 상기 <표 4>에서는 상기 b 코드 배열 b_n을 <b₁₆, b₁₅, b₁₄, b₁₃, b₁₂, b₁₁, b₁₀, b₉, b₈, b₇, b₆, b₅, b₄, b₃, b₂, b₁>로 표현하고 있다. 여기서, n은 상기 하위 4비트에 대응한다. 또한, 상기 <표 4>에서 z 코드 배열 z_m을 <z₁₆, z₁₅, z₁₄, z₁₃, z₁₂, z₁₁, z₁₀, z₉, z₈, z₇, z₆, z₅, z₄, z₃, z₂, z₁>로 표현하고 있다. 여기서, m은 상기 상위 4비트에 대응한다.

<66> 상기 제1다중화부(410)로부터의 출력 b_{out}와 상기 제2다중화부(420)로부터의 출력 z_{out}은 배타적 논리 합 연산부(430)로 입력된다. 또한 상기 배타적 논리 합 연산부(430)의 다른 입력으로써 하다마드 시퀀스 H_m(SCHChipCnt[7:0])이 입력된다. 상기 하다마드 시퀀스 H_m(SCHChipCnt[7:0])은 현재의 칩 카운트 값 SCHChipCnt[7:0]에 대응하는 하다마

드 시퀀스를 의미하며, 상기 도 3에서 보이고 있는 하다마드 생성기에 의해 생성된다.

상기 배타적 논리 합 연산부(430)는 상기 b_{out} 와 상기 z_{out} 및 상기 하다마드 시퀀스 H_m (SCHChipCnt[7:0])을 배타적 논리 합 연산하고, 상기 배타적 논리 합 연산에 의해 8비트의 칩 단위로 제2동기코드를 출력한다.

<67> 상기 배타적 논리 합 연산부(430)에서의 입/출력 관계는 하기 <표 5>에서 보이고 있는 바와 같다.

<68> 【표 5】

b_{out}	z_{out}	Hadamard Code	XOR_out
b_1	z_1	$H_m(0)$	$b_1 \oplus z_1 \oplus H_m(0)$
b_2	z_1	$H_m(0)$	$b_2 \oplus z_1 \oplus H_m(0)$
b_3	z_1	$H_m(0)$	$b_3 \oplus z_1 \oplus H_m(0)$
...
b_{16}	z_1	$H_m(0)$	$b_{16} \oplus z_1 \oplus H_m(0)$
b_1	z_2	$H_m(1)$	$b_1 \oplus z_2 \oplus H_m(1)$
b_2	z_2	$H_m(1)$	$b_2 \oplus z_2 \oplus H_m(1)$
...
b_{16}	z_2	$H_m(1)$	$b_{16} \oplus z_2 \oplus H_m(1)$
b_1	z_3	$H_m(2)$	$b_1 \oplus z_3 \oplus H_m(2)$
b_2	z_3	$H_m(2)$	$b_2 \oplus z_3 \oplus H_m(2)$
...	...0
b_{16}	z_{16}	$H_m(255)$	$b_{16} \oplus z_{16} \oplus H_m(255)$

<69> 상기 <표 5>에서 보이고 있는 XOR_out는 칩 단위의 제2동기코드이며, 이를 일반화시키면 상기 <수학식 1>로써 표현될 수 있다.

<70> 한편, 전술한 동작은 앞서 설명한 바에 의해 암시되고 있듯이 생성된 하나의 m 에 대응하여 256번 반복하여 수행될 것이며, 이로 인해 한 슬롯을 통해 전송될 256 칩의 제2동기코드가 생성되는 것이다.

【발명의 효과】

<71> 전술한 바와 같이 본 발명은 특정 스크램블링 코드 그룹의 슬롯에 대응하여 4 비트의 코드 인덱스 값을 사용하도록 함으로써 각 슬롯별 코드 인덱스를 저장하는 레지스터의 크기를 감소시킬 수 있는 효과를 가진다. 또한, 4 비트의 코드 인덱스 값을 사용함으로써 32 비트 워드로 구성되어 있는 데이터 버스 구조를 사용하는 경우 총 2개의 워드(4 비트 \times 8슬롯, 4비트 \times 8슬롯)만을 사용함에 따라 운영 디지털 신호 처리에서의 액세스 횟수를 줄일 수 있는 장점을 가진다. 마지막으로 m 을 결정하기 위해 별도의 연산자들을 사용하지 않음에 따라 제2동기코드를 생성하기 위한 구성을 간소화하는 장점을 가진다.

【특허청구범위】**【청구항 1】**

복수개의 코드그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유
의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상
기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코
드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구
되는 하다마드 코드를 지정하는 위치 정보를 결정하는 방법에 있어서,

상기 임의 하나의 슬롯에 대응하여 상기 선택한 코드그룹이 가지는 코드 인덱스에
대해 1을 감산한 값을 이진 비트 열로 출력하는 과정과,

상기 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나
의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 결정하는 과정을 포함함을 특
징으로 하는 상기 방법.

【청구항 2】

제1항에 있어서, 상기 각 코드그룹들은 15개의 슬롯들 각각에 대응하여 5비트로 표
현되는 고유의 코드 인덱스들을 가지며, 상기 이진 비트 열은 4비트로 표현됨을 특징으
로 하는 상기 방법.

【청구항 3】

제1항에 있어서, 상기 이진 비트 열을 출력하는 과정은,

상기 선택한 코드그룹이 가지는 복수의 슬롯들 각각에 대응하는 고유의 인덱스들에 대해 1을 감산한 4비트의 이진 비트 열들을 임시 저장하는 과정과,

상기 임시 저장된 이진 비트 열들 중 슬롯 카운트 값에 의해 선택된 상기 임의 하나의 슬롯에 대응하는 이진 비트 열을 선택하여 출력하는 과정을 포함함을 특징으로 하는 상기 방법.

【청구항 4】

제1항에 있어서,

상기 위치 정보와 256개의 코드 배열들 중 하나를 선택하는 8 비트의 칩 카운트 값을 비트 단위로 논리 곱 연산하고, 상기 논리 곱 연산에 의한 결과 비트들의 열을 배타적 논리 합 연산하여 상기 하다마드 코드를 생성하는 과정을 포함함을 특징으로 하는 상기 방법.

【청구항 5】

복수개의 코드그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구되는 하다마드 코드를 지정하는 위치 정보를 결정하는 장치에 있어서,

상기 선택한 코드그룹이 가지는 복수의 슬롯들 각각에 대응하는 고유의 인덱스들에 대해 1을 감산한 4비트의 이진 비트 열들을 임시 저장하는 레지스터와,

슬롯 카운트 값에 의해 상기 임시 저장된 이진 비트 열들 중 임의 하나의 이진 비트 열을 선택하여 출력하는 다중화기와,

상기 다중화기로부터의 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 출력하는 버퍼를 포함함을 특징으로 하는 상기 장치.

【청구항 6】

제5항에 있어서, 상기 각 코드그룹들은 15개의 슬롯들 각각에 대응하여 5비트로 표현되는 고유의 코드 인덱스들을 가지며, 상기 이진 비트 열은 4비트로 표현됨을 특징으로 하는 상기 장치.

【청구항 7】

제5항에 있어서,

상기 버퍼로부터의 위치 정보와 256개의 코드 배열들 중 하나를 선택하는 8 비트의 칩 카운트 값을 입력하고, 상기 위치 정보와 상기 칩 카운트 값을 비트 단위로 논리 곱 연산하는 논리 곱 연산부와,

상기 논리 곱 연산에 의한 결과 비트들의 열을 배타적 논리 합 연산하여 상기 하다마드 코드를 출력하는 배타적 논리 합 연산부를 포함함을 특징으로 하는 상기 장치.

【청구항 8】

복수개의 코드그룹들과 상기 각 코드그룹들이 복수의 슬롯들 각각에 대응하여 고유 의 코드 인덱스들을 가지며, 상기 복수의 코드그룹들 중 하나의 코드그룹을 선택하고 상기 선택한 코드그룹이 가지는 복수의 슬롯들 중 임의 하나의 슬롯에 대응하는 제2동기코드를 생성하는 이동통신시스템의 송신장치에서 상기 제2동기코드를 생성하기 위한 요구 되는 하다마드 코드를 생성하는 방법에 있어서,

상기 임의 하나의 슬롯에 대응하여 상기 선택한 코드그룹이 가지는 코드 인덱스에 대해 1을 감산한 값을 이진 비트 열로 출력하는 과정과,

상기 이진 비트 열을 상위 비트로 하고, 이진 부호 0000을 하위 비트로 하는 하나의 비트 열을 상기 하다마드 코드를 지정하는 위치 정보로 결정하는 과정과,

상기 위치 정보와 256개의 코드 배열들 중 하나를 선택하는 8 비트의 칩 카운트 값을 비트 단위로 논리 곱 연산하고, 상기 논리 곱 연산에 의한 결과 비트들의 열을 배타적 논리 합 연산하여 상기 하다마드 코드를 생성하는 과정을 포함함을 특징으로 하는 상기 방법.

【청구항 9】

제8항에 있어서, 상기 각 코드그룹들은 15개의 슬롯들 각각에 대응하여 5비트로 표현되는 고유의 코드 인덱스들을 가지며, 상기 이진 비트 열은 4비트로 표현됨을 특징으로 하는 상기 방법.

【청구항 10】

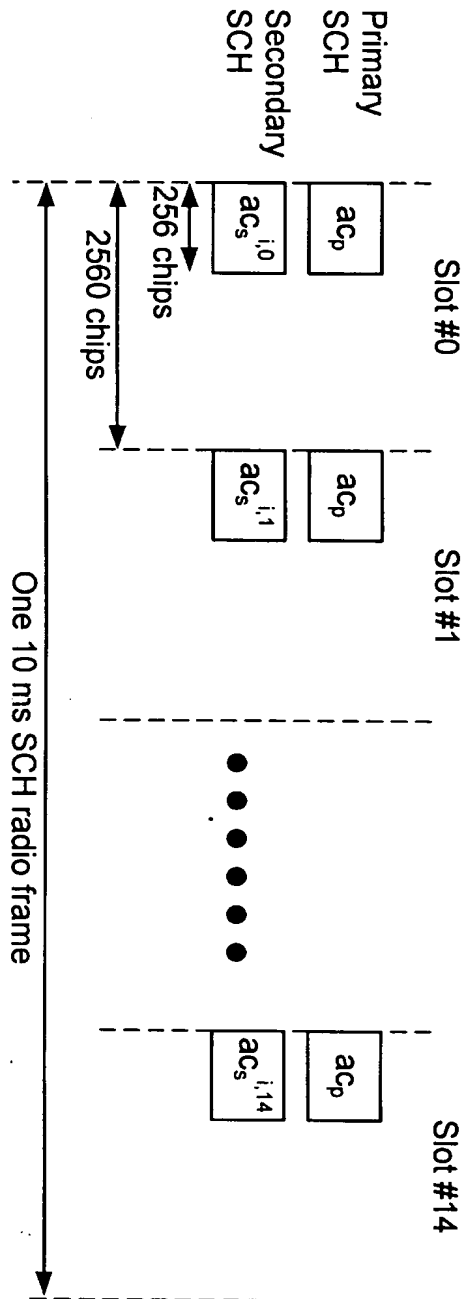
제8항에 있어서, 상기 이진 비트 열을 출력하는 과정은,

상기 선택한 코드그룹이 가지는 복수의 슬롯들 각각에 대응하는 고유의 인덱스들에 대해 1을 감산한 4비트의 이진 비트 열들을 임시 저장하는 과정과,

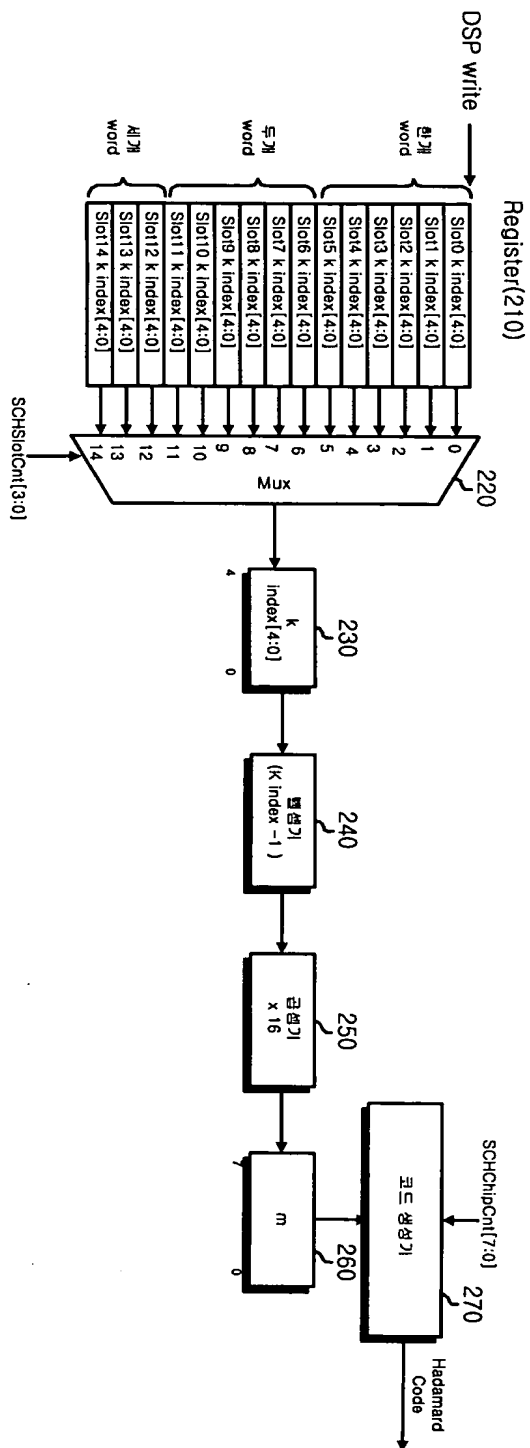
상기 임시 저장된 이진 비트 열들 중 슬롯 카운트 값에 의해 선택된 상기 임의 하나의 슬롯에 대응하는 이진 비트 열을 선택하여 출력하는 과정을 포함함을 특징으로 하는 상기 방법.

【도면】

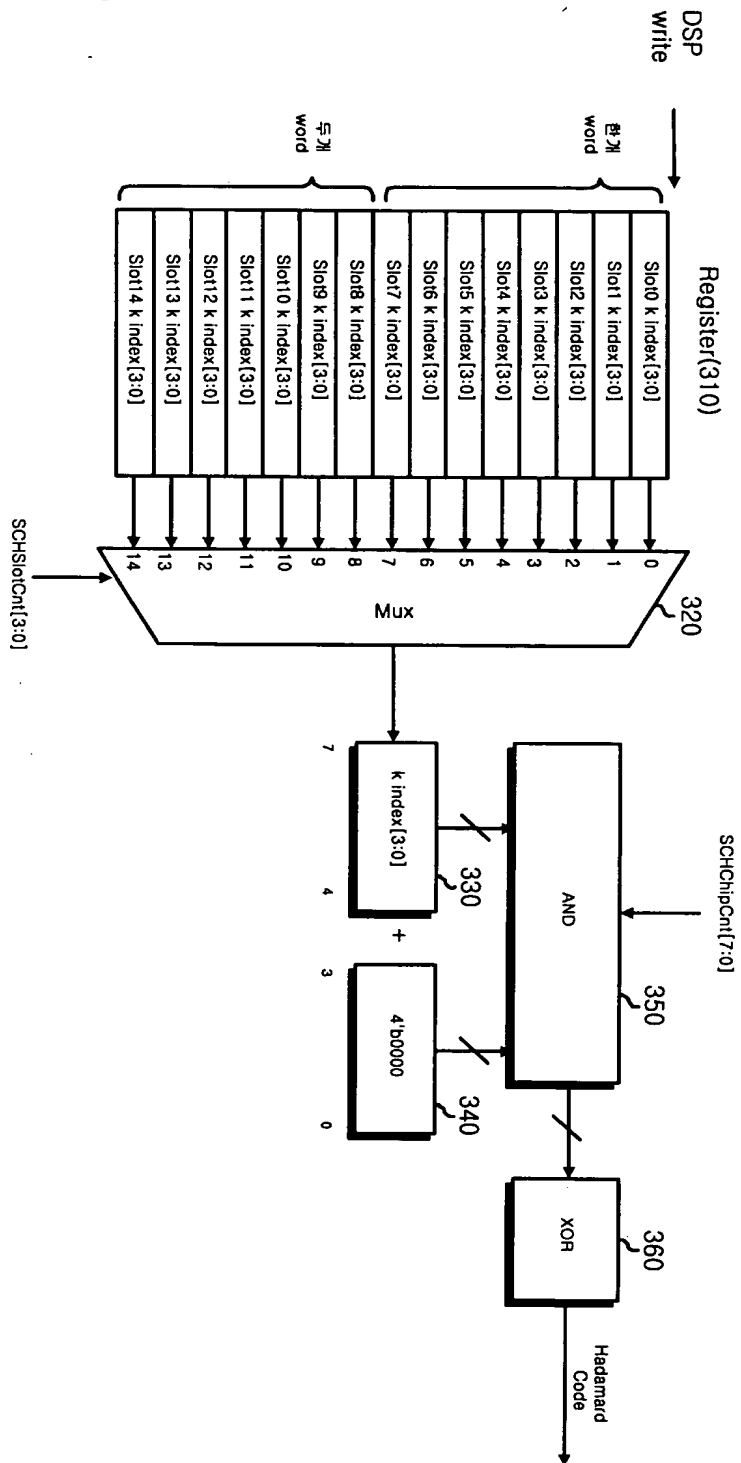
【도 1】



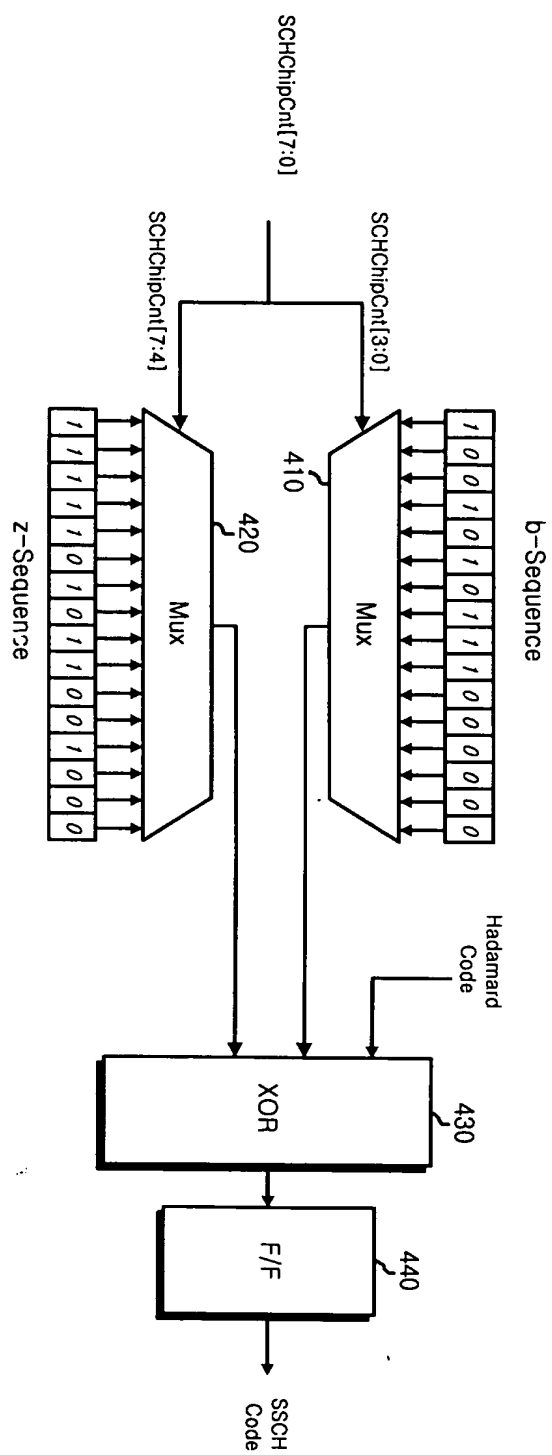
【도 2】



【도 3】



【도 4】



【도 5】

